

一种用于磁传感器读出电路的双斜率 ADC

张任伟, 刘 珂, 杜占坤, 阎跃鹏

(中国科学院 微电子技术研究所, 北京 100029)

摘 要: 基于集成片上双斜率 ADC 结构简单, 适用于低频小信号的转换的特点, 提出了一种适合于磁场传感器读出电路的可编程双斜率 ADC, 能够将磁传感器输出的低频模拟小信号转换为高精度的数字信号。针对不同的应用对于转换时间和转换精度的不同要求, 可对 ADC 的精度进行编程配置, 有利于提高电路的工作效率。ADC 的积分器部分采用差分型开关电容结构以减小芯片面积, 并且对积分方式进行了改进, 通过叠加积分增加正积分的积分斜率来提高 ADC 的有效位数。仿真结果显示, ADC 的有效位数为 11.96 bit, 在 3.3 V 工作电压下, 功耗仅为 1.55 mW, 满足磁传感器小信号读出电路的要求。

关键词: 双斜率 ADC; 可编程; 开关电容; 叠加积分

中图分类号: TN453

文献标识码: A

文章编号: 1000-7180(2015)03-0011-04

A Dual-Slope ADC for Read-out Circuit of Magnetic Sensor

ZHANG Ren-wei, LIU ke, DU Zhan-kun, YAN Yue-peng

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The Dual-Slope ADC integrated on chip with has a simple configuration and is suitable to small signal conversion with a low frequency. Based on these characteristics, a programmable Dual-Slope ADC is proposed to convert analog small signal of Magnetic Sensor to digital signal with high-precision. The conversion time and accuracy can be changed freely by different requirement in different application and the resolution of ADC can be programmed, which is beneficial for improving efficiency. In the work, a difference switched-capacitor integrator is used to decrease the area of chip. Besides, the method of integral has been improved. The slope of positive integral can be increased by multiplicity-integral, so the precision of transfer would be raised. Finally, the result of simulation show that the ADC proposed in this paper has a ENOD of 11.96bits and the power consumption with a 3.3V supply is only 1.55mW, which is suitable to detect the small signal output by magnetic sensor in read-out circuit.

Key words: dual-slope ADC; programmable; switched-capacitor; multiplicity-integral

1 引言

随着电子工业的发展,磁传感器在各类电子产品中的应用越来越普遍,大到航空航天,小到家电手机中都有大量的磁传感器。一般采集到的磁传感器信号都为模拟小信号,需要将其转换为数字信号才能够被后级模块识别和处理。因此,需要一种模数转换器(ADC),能够将前端放大结构检测到的微弱小

信号转换为数字信号输出,这就要求其具有足够高的转换精度、极低的噪声和失调、较小的功耗和面积,以适合于读出电路应用^[1]。目前已知的 ADC 结构中,对比各种 ADC 的结构和优缺点,双斜率 ADC 相比于单斜率 ADC 消除了转换过程中对斜率的线性度和精度的依赖^[2],其输出和比较器的阈值电压、积分器的斜率或时钟的速率无关,能够达到更高的分辨率,是一种非常理想的转换器结构^[3]。此外,一般来说,磁传感器信号为低频信号,对转换速度要求

收稿日期: 2014-04-29; 修回日期: 2014-06-20

基金项目: 国家自然科学基金项目(61204034)

不高^[4],且相比于过采样 ADC 对时钟要求不高,利于片内集成。

本文对传统双斜率 ADC 结构做了大量改进^[5-6],包括采用差分结构,以及特殊的叠加积分方式,使之能够适用于磁传感器的小信号转换。同时,为了满足对采样速度要求较高而对分辨率要求不甚苛刻的应用需求,采用可配置的 ADC 结构,通过编程对转换精度进行配置,实现中低分辨率和较高速转换的功能。

2 电路结构和原理

2.1 系统结构

磁传感器的结构示意图以及用于磁传感器信号转换的数模转换器的结构如图 1 所示。磁传感器包括磁传感头、低压差线性稳压器(LDO)、放大器和 ADC 模数转换器。其中,数模转换器由以下几部分组成:电压缓冲与驱动器、全差分正积分器、过零比较器、可变位计数器、数字控制逻辑单元和并串转换模块。其中,电压缓冲与驱动器给电路中的开关和放大器提供稳定的共模电压。输入模拟小信号经过采样后通过全差分正积分器进行积分,过零比较器和数字控制逻辑单元控制积分的方向和积分时间,由计数器实现积分时间的记录。最终得到并行的二进制数字输出,然后经过并串转换模块实现转换结果的 SPI 输出。

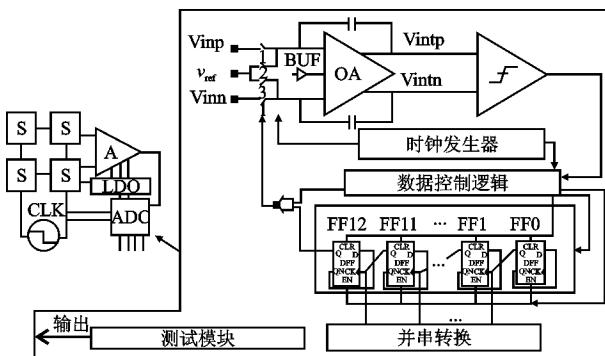


图 1 传感器与双斜率 ADC 的结构框图

2.2 双斜率 ADC 的工作原理

积分器的初始输出为零,输入被采样并保持。转换过程从正积分开始,当整个电路开始工作后,积分器开始积分。由于积分器为差分形式,缓冲器稳定地输出共模电压,所以积分器可以实现正负双向的小信号积分,这里以正向小信号为例说明。积分开始的同时计数器开始复位计数,计到 $2^N = N_X$ (N 为当前计数器的位数) 为止,此时计数器给控制逻辑单

元输出一个信号,控制逻辑开始控制积分器以参考电压 V_{ref} 为输入值进行反向积分,直到积分器的差分输出过零。此时,计数器的计数值为 N_{out} ,则 ADC 的输出值可以由下式得出:

$$N_{out} = N_X \frac{v_{in}^*}{V_{ref}} \quad (1)$$

式中, v_{in}^* 为正积分时积分器的等效输入电压值, V_{ref} 为参考电压。

由于传感器的输出信号幅度比较小,如果以传统的方式实现直接对小信号进行积分运算^[3],参考电压的漂移会降低小信号的有效位数。如果能够增加小信号的积分斜率,则能够提高双斜率 ADC 的有效输出位数。所以,在设计中采用了一种能够提高有效精度的方法。电路结构如图 2 所示。

与传统的积分方式不同,在电路的正积分阶段通过叠加基准电压 V_{ref} 提高积分器的积分斜率,从而提高小输入信号的有效精度。原因在于,小信号以较低斜率进行积分时更容易受到非理想输入的影响。积分器的叠加工作过程如图 3 所示。

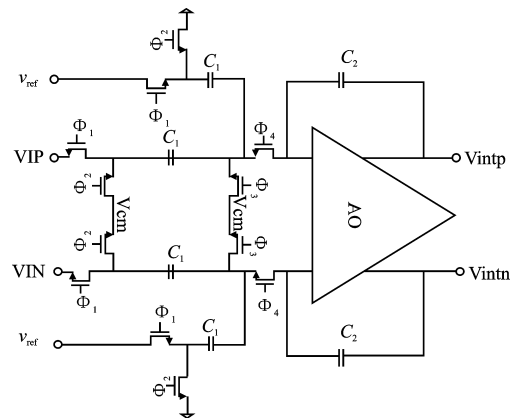


图 2 斩波积分器电路结构

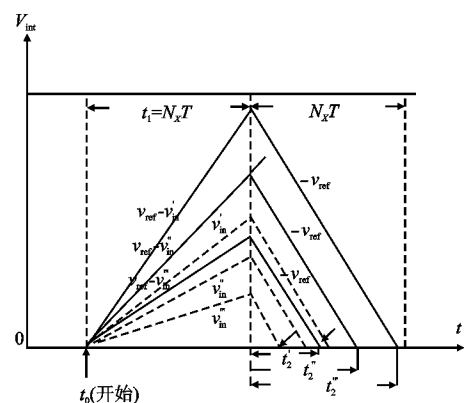


图 3 输入差分信号为负时双斜率 ADC 的波形

(其中 $v_{in}^+ < v_{in}^- < v_{in}^+$)

当双斜率 ADC 开始工作后,积分器对输入电压

开始在 N_X 个时钟周期的进行积分,图3给出了转换过程.可以发现,对 $v_{\text{ref}} - v_{\text{in}}^*$ 进行积分相比于直接对 v_{in} 能够获得更高的积分峰值,从而能够获得更高的有效精度,同时,积分器的积分斜率和被积分电压的幅度成正比例关系.在 $t = t_1$ 时电压 $V_{\text{int}}(t_1)$ 的值为

$$\begin{aligned} V_{\text{int}}(t_1) &= K \int_0^{N_X T} (v_{\text{ref}} - v_{\text{in}}^*) dt \\ &= KN_X T (v_{\text{ref}} - v_{\text{in}}^*) \end{aligned} \quad (2)$$

式中, T 是时钟周期.当 N_X 计数结束后,积分器开始反向积分,计数器开始第二次计数,并输出积分结束后的二进制码字作为整个 ADC 的转换输出.在 $t_1 + t_2$ 时积分器的电压为

$$V_{\text{int}}(t_1 + t_2) = V_{\text{int}}(t_1) + K \int_{t_1}^{N_{\text{out}} T + t_1} (-v_{\text{ref}}) dt = 0 \quad (3)$$

将式(2)带入式(3)可以得到

$$KN_X T (v_{\text{ref}} - v_{\text{in}}^*) - K v_{\text{ref}} N_{\text{out}} T = 0 \quad (4)$$

由式(4)可以求出 N_{out} 为

$$N_{\text{out}} = N_X \frac{v_{\text{ref}} - v_{\text{in}}^*}{v_{\text{ref}}} \quad (5)$$

可以看出 N_{out} 是 N_X 的一部分,它与 $v_{\text{ref}} - v_{\text{in}}^*$ 和 v_{ref} 的比值有关.

2.3 比较器

电路中使用箔位推挽输出比较器^[3],虽然这种结构相比于传统的两级开环比较器,第一级的电流镜负载被换成了 MOS 二极管,导致增益下降,而且,大的输出电阻导致单极点响应,这个极点比传统的比较器的极点频率低,在同等驱动的情况下线性响应会比较慢.但是,由于比较器是推挽的,可以向负载电容供出或者吸入大电流.在双斜率 ADC 应用中,比较器的传输延时是由摆率决定的,而增大摆率的重要手段是增加比较器供出或吸入电流的能力.所以,这种结构能够很大程度地减小传输延时.更重要的是,由于能够供出和吸入大电流,所以这种结构能够驱动更大的负载电容,使得比较器的比较输出能够及时的反馈到数字控制电路.

2.4 可配置分辨率

双斜率 ADC 唯一的缺点就是在最坏情况下的转换时间长达 $2(2^N)T$,这里 N 是 ADC 的位数.为了能够高效地利用双斜率 ADC,本文设计了一种可配置分辨率的结构,通过片内数字逻辑电路调节 ADC 中计数器的位数来改变 ADC 的转换速率.当后级处理模块对数字信号精度要求不高时,可以降低

低 ADC 的位数获得比较高的转换速度.相反,当后级处理模块对数字信号质量要求较高时,可以将 ADC 调至高位输出.这样就能在 ADC 的速度和精度之间找到很好的折中,高效地利用了电路资源.如图4所示,外部控制电路输出位控制字信号,通过控制计数器中触发器的使能端来控制 ADC 的有效位数.

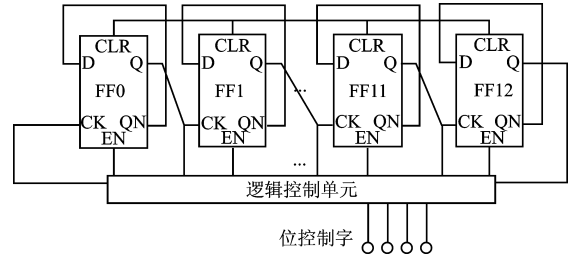


图4 可配置分辨率结构示意图

3 仿真结果

3.1 开关电容积分器

为了避免开关同时导通的情况,需要产生非交叠的时钟.另外,为了解决积分过程中输出产生的非线性问题,在积分过程中, Φ_1 首先断开,向 C_1 注入固定电荷, Φ_1 接着断开,随后 Φ_2 和 Φ_3 导通. Φ_2 和 Φ_4 需要相对 Φ_1 和 Φ_3 有一定的延时,才能消除输出端的非线性分量.经仿真可得到输出时钟信号如图5所示,可以看出,输出时钟信不交叠,而且存在大概 3 ns 的延迟,满足设计要求.

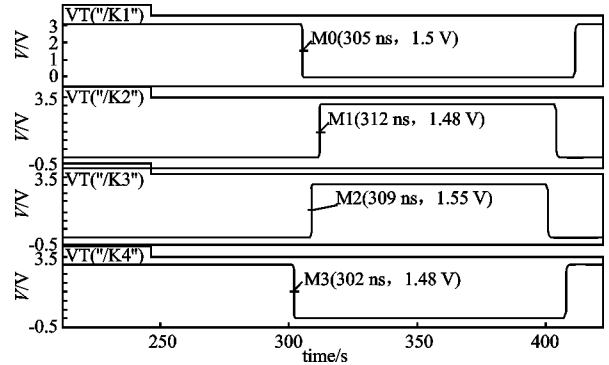


图5 开关电容积分器的时钟信号

在积分器中,当开关 Φ_1 和 Φ_4 导通时,电荷在电容 C_1 和 C_2 之间分配, V_{in}^* 为积分器的等效输入,当它的值为常数的时候,每个时钟内输出电压改变 $(V_{\text{in}}^* C_1)/C_2$.图6中给出了积分器固定输入差分电压为 0 时的输出变化曲线,此时正积分曲线斜率最大.从图中可以看出,每个时钟周期积分器输出增加约 540 nV,输出积分器最大斜率为 1 350.

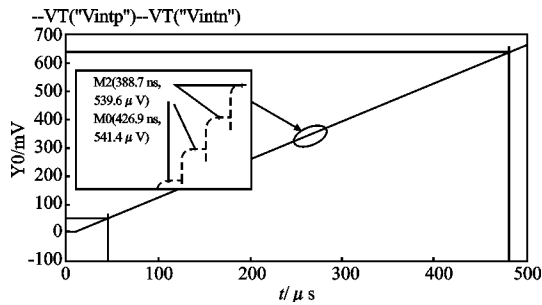


图 6 积分器固定输入的正积分曲线

3.2 双斜率 ADC

在设计完成后,对整体读出电路进行了仿真验证.当分辨率置为最高位时输入频率为 15 Hz,时钟 150 Hz 的信号,对输出信号进行了 FFT 频谱分析,结果如图 7 所示.信噪比(SNR)为 74.25 dB,信噪失真比(SNDR)73.79 dB,无杂散动态范围(SFDR)为 87.01 dB,有效精度(ENOB)为 11.96 bit.与其他用于传感器的 ADC 比较,如表 1 所示,本文中所设计的双斜率 ADC 不但有较高的分辨率,且功耗仅为 1.55 mW.

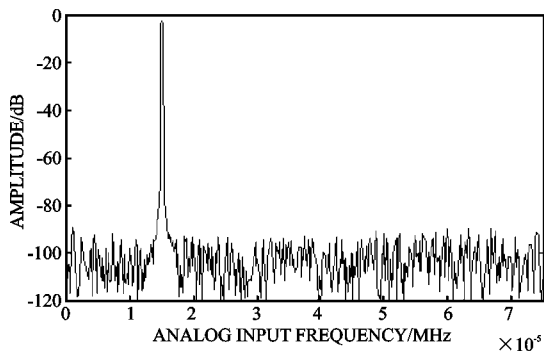


图 7 双斜率 ADC 的 FFT 频谱

表 1 ADC 性能参数的对比

文献	ADC 类型	工艺/ μm	电源电压/ V	分辨率/ bit	功耗/ mW
[1]	逐次逼近型 ADC	0.18	3.3	10	—
[2]	单斜率 ADC	0.18	1.8	9	15
[7]	逐次逼近型 ADC	0.5	5	11	6.5
[8]	流水线型 ADC	0.18	1.8	9	7
本文	双斜率 ADC	0.5	3.3	12	1.55

4 结束语

文中设计了一款适用于磁传感器低频小信号转换的改进型双斜率 ADC,通过差分型开关电容结构

来减小芯片面积,使用特殊的叠加积分结构来提高输入信号的有效位数.所设计双斜率 ADC 有效位数为 11.96 bit,功耗仅为 1.55 mW 且能够通过编程自由灵活调节分辨率,在实际应用中实现了更加有效地资源配置.

参考文献:

- [1] 陈铨颖,蒋见花,胡晓宇.一种基于石墨烯霍尔器件读出电路的设计[J].微电子学与计算机,2013,30(12):137-140.
- [2] Lin W F, Chou H P. A fast single slope ADC with vernier delay line technique[C]// 2009 IEEE Nuclear Science Symposium Conference Record (NSS/MIC). Orlando, FL:IEEE, 2009.
- [3] Allen P E, Holberg D R. CMOS analog circuit design [M]. English:Oxford University Press, 2002.
- [4] Randjelovic Z B, Kayal M, Popovic R. Highly sensitive hall magnetic sensor microsystem in CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2002, 37(2):115-159.
- [5] Bruschi P, Nizza N, Piotto M. A current-mode, dual slope, integrated capacitance-to-pulse duration converter[J]. IEEE Journal of Solid-State Circuits, 2007, 42(9):1884-1891.
- [6] Nagahisa T, Kubota S, Watanabe H. Low power and more accurate temperature sensor with an integrated dual slope AD[C]// 2012 IEEE international Meeting on Future of Electron Devices for Future of Electron Devices. Kansai:IEEE, 2012.
- [7] Wu Lipeng, Yu Meng, Li Fule. An on-chip smart temperature sensor based on band gap and SAR[C] // 2012 IEEE International Conference on Solid-State and Integrated Circuit Technology. Xian: IEEE, 2012.
- [8] Tiancheng Zhu, Suying Yao, Binqiao Li. A low-power-consumption 9bit 10MS/s pipeline ADC for CMOS image sensor [J]. Chinese Journal of Semiconductor, 2007, 28(12):1924-1929.

作者简介:

张任伟 男,(1990-),硕士研究生.研究方向为数模混合集成电路设计. E-mail:zhangrenweide@163.com.

刘珂 男,(1979-),博士.研究方向为数模混合集成电路设计.

杜占坤 男,(1975-),副研究员,硕士生导师.研究方向为集成电路与系统设计.

阎跃鹏 男,(1963-),研究员,博士生导师.研究方向为集成电路与集成系统设计.